

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **HATO, Tsunehiro, et al.**

Group Art Unit: **2811**

Serial No.: **10/809,919**

Examiner: **Not Yet Assigned**

Filed: **March 26, 2004**

P.T.O. Confirmation No.: **6752**

For: **SUPERCONDUCTING CIRCUIT**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: October 19, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-092545, filed March 28, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP

Mel R. Quintos
Attorney for Applicants
Reg. No. 31,898

MRQ/rmp
Atty. Docket No. **040156**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

BEST AVAILABLE COPY

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月28日
Date of Application:

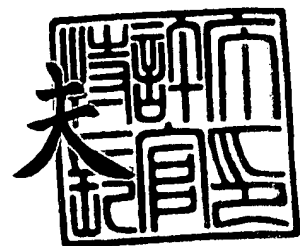
出願番号 特願2003-092545
Application Number:
[JP2003-092545]
ST. 10/C]:

願人 富士通株式会社
applicant(s): 財団法人国際超電導産業技術研究センター

2004年 2月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

【書類名】 特許願

【整理番号】 0340338

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 超伝導回路

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 波頭 経裕

【発明者】

 【住所又は居所】 東京都江東区東雲一丁目 1 4 番 3 号 財団法人国際超電導産業技術研究センター超電導工学研究所内

 【氏名】 堀部 雅弘

【発明者】

 【住所又は居所】 東京都江東区東雲一丁目 1 4 番 3 号 財団法人国際超電導産業技術研究センター超電導工学研究所内

 【氏名】 田辺 圭一

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 391004481

 【氏名又は名称】 財団法人 国際超電導産業技術研究センター

【代理人】**【識別番号】** 100090273**【弁理士】****【氏名又は名称】** 國分 孝悦**【電話番号】** 03-3590-8901**【手数料の表示】****【予納台帳番号】** 035493**【納付金額】** 21,000円**【その他】**

国等の委託研究の成果に係る特許出願（平成 1 4 年度新エネルギー・産業技術総合開発機構「超電導応用基盤技術研究開発」委託研究、産業活力再生特別措置法第 3 0 条の適用を受けるもの）

【提出物件の目録】**【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9908504**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 超伝導回路

【特許請求の範囲】

【請求項 1】 高温超伝導体を用いた磁束量子回路と当該磁束量子回路のインターフェース回路とを備えた超伝導回路であって、

前記磁束量子回路は、第 1 のジョセフソン接合を有するとともに、前記インターフェース回路は、前記第 1 のジョセフソン接合とは異なる材料の組合せからなる第 2 のジョセフソン接合を有しており、

前記第 1 のジョセフソン接合における電流電圧特性のヒステリシスが前記第 2 のジョセフソン接合における電流電圧特性のヒステリシスよりも小さいことを特徴とする超伝導回路。

【請求項 2】 前記インターフェース回路がラッチドライバー回路で構成されていることを特徴とする請求項 1 に記載の超伝導回路。

【請求項 3】 前記第 1 のジョセフソン接合には、電流電圧特性のヒステリシスが 10% 以下となる接合を用い、前記第 2 のジョセフソン接合には、電流電圧特性のヒステリシスが 10% 以上となる接合を用いることを特徴とする請求項 1 又は 2 に記載の超伝導回路。

【請求項 4】 前記第 1 のジョセフソン接合は、La がドーピングされた YBaCuO からなる下部電極と、YbBaCuO からなる上部電極と、当該下部電極と当該上部電極との間にバリアとして形成されたダメージ層とを備えて構成されるとともに、

前記第 2 のジョセフソン接合は、La がドーピングされた YBaCuO からなる下部電極と、La がドーピングされた YbBaCuO からなる上部電極と、当該下部電極と当該上部電極との間にバリアとして、ダメージ層に加えて LaSrAlTaO からなる層とを備えて構成されていることを特徴とする請求項 1～3 のいずれか 1 項に記載の超伝導回路。

【請求項 5】 前記第 1 のジョセフソン接合は、La がドーピングされた YBaCuO からなる下部電極と、La がドーピングされた YbBaCuO からなる上部電極と、当該下部電極と当該上部電極との間にバリアとして形成されたダメージ層

とを備えて構成されるとともに、

前記第2のジョセフソン接合は、LaがドーピングされたYBaCuOからなる下部電極と、LaがドーピングされたYbBaCuOからなる上部電極と、当該下部電極と当該上部電極との間にバリアとして、ダメージ層に加えてLaSrAlTaOからなる層とを備えて構成されていることを特徴とする請求項1～3のいずれか1項に記載の超伝導回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高温超伝導体を用いた単一磁束量子 (Single Flux Quantum: SFQ) 回路と当該磁束量子回路のインターフェース回路とを備えた超伝導回路に関し、通信用ルーター、サーバー、AD変換器、サンプラーなど、通信、コンピューター、計測の分野における利用が可能である。

【0002】

【従来の技術】

従来、高温超伝導体接合は、電流電圧特性がオーバードンプ型といわれ、低温動作のNb超伝導体接合とは異なり、電流電圧特性におけるヒステリシスが十分に小さいとして、抵抗でシャントすることなく、そのままSFQ回路に使えると考えられてきた。また、インターフェース回路として重要なラッチドライバー回路は、SFQ回路でのパルスロジックを外部の半導体装置等で使用できるようにレベルロジックに変換することから、電流電圧特性にヒステリシスが必要となるため、高温超伝導体での構成は不向きとされてきた。

【0003】

従来は、高温超伝導体を用いたSFQ回路とインターフェース回路とを混載した超伝導回路においては、SFQ回路とインターフェース回路とが共存できるわずかな動作領域、例えば臨界電流密度に合わせて設計せざるを得なかった。

【0004】

【特許文献1】

特開 2000-353831号公報

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、前述した超伝導回路では、S F Q回路及びインターフェース回路のいずれにおいても、それぞれが共存できるわずかな動作領域での動作を余儀なくされていたため、それぞれの最高性能、例えば高速性を発揮することができないという問題があった。例えば、インターフェース回路の性能を向上させるために、当該動作領域よりも臨界電流密度を大きく設定した場合には、S F Q回路用の接合もヒステリシスをもってしまい、当該S F Q回路の動作が不能になってしまう。一方、S F Q回路の性能を向上させるために、当該動作領域よりも臨界電流密度を小さく設定した場合には、インターフェース回路用の接合が自己の動作に必要なヒステリシスを失ってしまい、当該インターフェース回路の動作が不能となってしまう。

【0 0 0 6】

本発明は前述の問題点にかんがみてなされたもので、高温超伝導体を用いた磁束量子回路とインターフェース回路とを備える超伝導回路の動作において、磁束量子回路とインターフェース回路とが共存して動作できる動作領域を広範囲にして、それぞれの回路が高性能での動作を可能とする超伝導回路を提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0 0 0 8】

本発明の超伝導回路は、高温超伝導体を用いた磁束量子回路と当該磁束量子回路のインターフェース回路とを備えた超伝導回路であって、前記磁束量子回路は、第1のジョセフソン接合を有するとともに、前記インターフェース回路は、前記第1のジョセフソン接合とは異なる材料の組合せからなる第2のジョセフソン接合を有しており、前記第1のジョセフソン接合における電流電圧特性のヒステリシスが前記第2のジョセフソン接合における電流電圧特性のヒステリシスよりも小さいことを特徴とするものである。

【0009】

【発明の実施の形態】

ー本発明の骨子ー

本発明者は、従来の超伝導回路において、SFQ回路とインターフェース回路とが、相互に共存できるわずかな動作領域での動作に限定されており、それぞれが高性能での動作を行うことができないという問題を解決すべく、以下に示す発明の骨子に想到した。

【0010】

本発明では、高温超伝導体を用いたSFQ回路とインターフェース回路において、SFQ回路におけるジョセフソン接合とインターフェース回路におけるジョセフソン接合とを異なる材料から構成するようにした。このように構成した理由は、ジョセフソン接合における構成材料をそれぞれの回路で別個に選定することで、ジョセフソン接合における電流電圧特性のヒステリシスを使用目的に応じて設定できるようにするためである。これにより、SFQ回路には、ヒステリシスの小さな接合材料を選定し、インターフェース回路には、ヒステリシスの大きな接合材料を選定することで、それぞれの回路が高性能での動作を行うことができる。

【0011】

また、本発明において、SFQ回路の電流電圧特性におけるヒステリシスを10%以下としたのは、通常、SFQ回路の動作においてバイアスを行っているが、ヒステリシスが10%を超えると、そのバイアスに対するバイアスマージンが30%よりも小さくなってしまい、SFQ回路の動作に支障をきたすからである。一方、インターフェース回路の電流電圧特性におけるヒステリシスを10%以上としたのは、ヒステリシスが10%よりも小さくなってしまうと、SFQ回路でのパルスロジックを外部の半導体装置等で使用するレベルロジックに変換するためのヒステリシスとしては、不十分だからである。

【0012】

図1は、異なる材料の組合せからなる超伝導接合における電流電圧特性のヒステリシスの一例を示した温度特性図である。

図に示すように、下部電極をLaドーパのYBaCuO、バリアをイオンミリングにより結晶状態を変えたダメージ層、上部電極をYbBaCuOとした接合では、温度30Kにおいてヒステリシスが消滅することがわかる。一方、下部電極をLaドーパのYBaCuO、バリアをイオンミリングによるダメージ層に加えてLaSrAlTaO、上部電極をLaドーパのYbBaCuOとした接合では、温度30Kにおいても、なおヒステリシスを有しており、温度50Kまでヒステリシスが消滅しないことがわかる。前者をSFQ回路、後者をインターフェース回路に用いるようにすれば、それぞれの回路に十分な性能を発揮させることが可能となる。このような特性を示す原因は、接合バリアの特性による。

【0013】

しかも、本発明者は、臨界電流を変化させてもヒステリシスの消滅する温度がほとんど変わらないことを見出した。そのため、例えば、温度30Kにおいてヒステリシスが消滅する接合では、臨界電流を大きく設定しても、温度30Kではインターフェース回路としては使用することができないことがわかった。

【0014】

図2は、図1に示したそれぞれの接合における臨界電流密度の温度特性図である。前者が温度の上昇とともにほぼ直線的に臨界電流密度が減少するのに対して、後者は上に凸のような変化を示す。これは前者がセルフシャント的性質を示すジョセフソン接合であり、後者がトンネル的性質を示すジョセフソン接合であることを示している。

【0015】

図3は、上部電極の形成において、各材料における結晶化に必要な温度及び堆積温度を示した概略図である。ここで、結晶化に必要な温度を黒丸、接合を作製する時の堆積温度を矢印で示す。また、グレーゾーンが良好な接合特性を得るために必要な上部電極堆積温度である。さらに、各材料を上部電極材料に用いた時の接合特性の傾向も表記している。

【0016】

下部電極を構成する材料は、接合作製時、つまり上部電極堆積時に特性が変わらないようにするために、結晶化温度が十分に高いものを選定することが好まし

い。一方、上部電極を構成する材料は、接合作製温度で十分に結晶化する必要があり、接合作製温度よりも結晶化温度が低いものを選定することが好ましい。よって、上部電極を YBaCuO で形成することは、好ましくはない。

【0017】

各材料のうち、上部電極に YbBaCuO を用いた場合には、十分に結晶化するが、温度 30 K においてヒステリシスが消滅する。このため、これをインターフェース回路に適用することは不適である。また、アモルファス LaSrAlTaO (LSAT) を堆積した後、 La ドープの YbBaCuO を堆積した場合には、単に La ドープの YbBaCuO を堆積する場合と比較して、さらに接合作製温度を上げることができ、十分結晶化された La ドープの YbBaCuO を形成することができる。その結果、セルフシャントのないヒステリシスの大きな接合特性で、しかも乗り越え部分のインダクタンスが小さく、ヒステリシス中にステップを生じない接合を得ることができる。

【0018】

—本発明の骨子を適用した具体的な実施形態—

次に、本発明の超伝導回路の骨子を踏まえた諸実施形態について説明する。また、本発明の実施形態における超伝導回路のインターフェース回路として、ラッチドライバー回路を適用した例で説明を行う。

【0019】

(第1の実施形態)

図4は、第1の実施形態の超伝導回路におけるSFQ回路の接合部及びラッチドライバー回路の接合部の構成を示した斜視図である。

図4(a)に示したSFQ回路の接合部は、厚さ200nm程度でランタン(La)がドープされた YBaCuO からなる下部電極4と、下部電極4上に厚さ300nm程度の SrSnO からなる絶縁層5と、絶縁層5及び下部電極4のランプエッジ上に厚さ200nm程度の YbBaCuO からなる上部電極6とで形成されている。ここで、絶縁層5及び下部電極4のランプエッジには、Ar等のイオンミリングにより、バリアとなる不図示のダメージ層が形成されている。

【0020】

一方、図4 (b) に示したラッチドライバー回路の接合部は、厚さ200 nm程度でLaがドーピングされたYBaCuOからなる下部電極12と、下部電極12上に厚さ300 nm程度のSrSnOからなる絶縁層13と、絶縁層13及び下部電極12のランプエッジ上に厚さ5 nm程度のアモルファスLaSrAlTaO層14と、アモルファスLaSrAlTaO層14及び絶縁層13上に厚さ200 nm程度でLaがドーピングされたYbBaCuOからなる上部電極15とで形成されている。ここで、絶縁層5及び下部電極4のランプエッジには、Ar等のイオンミリングにより、不図示のダメージ層が形成されており、このダメージ層上に形成されるアモルファスLaSrAlTaO層14とともにバリアを形成している。

【0021】

本実施形態の超伝導回路におけるラッチドライバー回路は、バリアにイオンミリングによるダメージ層に加えて、より絶縁性を高めたアモルファスLaSrAlTaO層14を設けることにより、キャパシティブな接合を形成し、ヒステリシスの大きなジョセフソン接合を実現している。

【0022】

(第2の実施形態)

図5は、第2の実施形態の超伝導回路におけるSFQ回路の接合部及びラッチドライバー回路の接合部の構成を示した斜視図である。

図5 (a) に示したSFQ回路の接合部は、厚さ200 nm程度でLaがドーピングされたYBaCuOからなる下部電極4と、下部電極4上に厚さ300 nm程度のSrSnOからなる絶縁層5と、絶縁層5及び下部電極4のランプエッジ上に厚さ200 nm程度でLaがドーピングされたYbBaCuOからなる上部電極26とで形成されている。ここで、絶縁層5及び下部電極4のランプエッジには、Ar等のイオンミリングにより、バリアとなる不図示のダメージ層が形成されている。

【0023】

一方、図5 (b) に示したラッチドライバー回路の接合部は、第1の実施形態におけるラッチドライバー回路の接合部と同様に、厚さ200 nm程度でLaが

ドーピングされた YBaCuO からなる下部電極 12 と、下部電極 12 上に厚さ 300 nm 程度の SrSnO からなる絶縁層 13 と、絶縁層 13 及び下部電極 12 のランプエッジ上に厚さ 5 nm 程度のアモルファス LaSrAlTaO 層 14 と、アモルファス LaSrAlTaO 層 14 上に厚さ 200 nm 程度で La がドーピングされた YbBaCuO からなる上部電極 15 とで形成されている。ここで、絶縁層 5 及び下部電極 4 のランプエッジには、 Ar 等のイオンミリングにより、不図示のダメージ層が形成されており、このダメージ層上に形成されるアモルファス LaSrAlTaO 層 14 とともにバリアを形成している。

【0024】

本実施形態の超伝導回路は、第 1 の実施形態の超伝導回路と比較して、SFQ 回路における上部電極を構成する YbBaCuO に La をドーピングしたものを用いているために、当該上部電極の作製温度をより高くすることができる。これにより、さらに当該上部電極上に、より低温成長が可能な YbBaCuO からなる配線層や、後述する図 7 に示すようなグランドプレーンを形成する等の超伝導回路における作製上の自由度の向上を図ることができる。

【0025】

(第 3 の実施形態)

図 6 は、第 3 の実施形態の超伝導回路における SFQ 回路の接合部の構成を示した斜視図である。

本実施形態における SFQ 回路は、第 1 の実施形態における SFQ 回路に対して、その下層部に、厚さ 300 nm 程度の PrBaCuO からなる絶縁層 3 を介して、厚さ 200 nm 程度で La がドーピングされた YBaCuO からなるグランドプレーン 2 を設けたものである。

【0026】

このグランドプレーン 2 を設けることにより、SFQ 回路におけるインダクタンスを抑えることができるため、より高速動作を行うことができる。また、SFQ 回路の接合部へ進入する外部からの不要な磁束を超伝導のマイスナー効果を使って、遮断することもできる。

【0027】

(第4の実施形態)

図7は、第4の実施形態の超伝導回路におけるSFQ回路の接合部の構成を示した断面図である。

本実施形態におけるSFQ回路は、第2の実施形態におけるSFQ回路に対して、その上層部に、厚さ400nm程度のSrSnOからなる絶縁層25を介して、厚さ200nm程度のYbBaCuOからなるグランドプレーン22を設けたものである。

【0028】

本実施形態では、グランドプレーン22の材料を、上部電極26を構成するLaドープのYbBaCuOの結晶化温度よりも、その堆積温度が低いYbBaCuOとすることにより、上部電極26の上層にグランドプレーン22の配設を実現したものである。

【0029】

(第5の実施形態)

図8は、第5の実施形態の超伝導回路を示した断面図である。ここで、前述した構成要素と同様の構成要素については、同一の符号を付している。

本実施形態における超伝導回路は、互いに異なる材料からなる接合（ジョセフソン接合7，17）を有するSFQ回路とラッチドライバー回路とを別基板（MgO基板1，11）で構成して、それらを1つのアッセンブリーチップ上に混載してマルチチップモジュール（MCM）としたものである。

【0030】

SFQ回路の上部電極26には、AuとTiからなり、SFQ回路におけるバイアス電流を分配するための抵抗体10が設けられている。また、SFQ回路及びラッチドライバー回路は、Au層16、超伝導ハンダバンプ9又は19を介して超伝導配線18により、接続されている。また、SFQ回路及びラッチドライバー回路を載置するアッセンブリーチップ上には、外部からの不要な磁束が接合部に進入をするのを超伝導のマイスナー効果を使って遮断するグランドプレーン8が設けられている。

【0031】

本実施形態の超伝導回路は、マルチチップモジュール構成としているが、この理由としては、互いに異なる材料からなる接合を同一基板上に造ることが難しいことや、S F Q回路とラッチドライバー回路における臨界磁束密度 J_c の最適条件が異なり、この臨界磁束密度 J_c は接合材料の組合せにより決まってしまう等によるものである。これらの理由を考慮すると、S F Q回路とラッチドライバー回路とをそれぞれ別基板で形成し、それらをアッセンブリーチップ上に混載することは、超伝導回路を構成する上で理想的な形態と言える。

【0032】

なお、図8に示した超伝導回路は、S F Q回路とラッチドライバー回路とを超伝導配線18で接続した場合を示しているが、このアッセンブリーチップにジョセフソントランスマッションライン (J T L) を用いて構成することもできる。

【0033】

以下、本発明の諸態様を付記としてまとめて記載する。

【0034】

(付記1) 高温超伝導体を用いた磁束量子回路と当該磁束量子回路のインターフェース回路とを備えた超伝導回路であって、

前記磁束量子回路は、第1のジョセフソン接合を有するとともに、前記インターフェース回路は、前記第1のジョセフソン接合とは異なる材料の組合せからなる第2のジョセフソン接合を有しており、

前記第1のジョセフソン接合における電流電圧特性のヒステリシスが前記第2のジョセフソン接合における電流電圧特性のヒステリシスよりも小さいことを特徴とする超伝導回路。

【0035】

(付記2) 前記インターフェース回路がラッチドライバー回路で構成されていることを特徴とする付記1に記載の超伝導回路。

【0036】

(付記3) 前記第1のジョセフソン接合には、電流電圧特性のヒステリシスが10%以下となる接合を用い、前記第2のジョセフソン接合には、電流電圧特性のヒステリシスが10%以上となる接合を用いることを特徴とする付記1又は

2 に記載の超伝導回路。

【0037】

(付記4) 前記第1のジョセフソン接合及び前記第2のジョセフソン接合がランプエッジ接合で形成されていることを特徴とする付記1～3のいずれか1項に記載の超伝導回路。

【0038】

(付記5) 前記第1のジョセフソン接合は、LaがドーピングされたYBaCuOからなる下部電極と、YbBaCuOからなる上部電極と、当該下部電極と当該上部電極との間にバリアとして形成されたダメージ層とを備えて構成されるとともに、

前記第2のジョセフソン接合は、LaがドーピングされたYBaCuOからなる下部電極と、LaがドーピングされたYbBaCuOからなる上部電極と、当該下部電極と当該上部電極との間にバリアとして、ダメージ層に加えてLaSrAlTaOからなる層とを備えて構成されていることを特徴とする付記1～4のいずれか1項に記載の超伝導回路。

【0039】

(付記6) 前記第1のジョセフソン接合は、LaがドーピングされたYBaCuOからなる下部電極と、LaがドーピングされたYbBaCuOからなる上部電極と、当該下部電極と当該上部電極との間にバリアとして形成されたダメージ層とを備えて構成されるとともに、

前記第2のジョセフソン接合は、LaがドーピングされたYBaCuOからなる下部電極と、LaがドーピングされたYbBaCuOからなる上部電極と、当該下部電極と当該上部電極との間にバリアとして、ダメージ層に加えてLaSrAlTaOからなる層とを備えて構成されていることを特徴とする付記1～4のいずれか1項に記載の超伝導回路。

【0040】

(付記7) 前記磁束量子回路に、LaがドーピングされたYBaCuOからなり、当該磁束量子回路におけるインダクタンスを抑えるためのグランドプレーンを設けることを特徴とする付記1～6のいずれか1項に記載の超伝導回路。

【0041】

(付記8) 前記磁束量子回路と前記インターフェース回路とをマルチチップモジュールとして構成することを特徴とする付記1～7のいずれか1項に記載の超伝導回路。

【0042】**【発明の効果】**

本発明によれば、磁束量子回路とインターフェース回路とが共存して動作できる動作領域を広範囲することができ、それぞれの回路を高性能で動作させることが可能となる。これにより、通信用ルーター、サーバー、AD変換器、磁束計(SQUID)、サンプラーなど、通信、コンピューター、計測の分野で有用な20GHz以上の高速動作を実現する超伝導回路を提供することができる。

【図面の簡単な説明】**【図1】**

異なる材料の組合せからなる超伝導接合における電流電圧特性のヒステリシスの一例を示した温度特性図である。

【図2】

図1に示したそれぞれの接合における臨界電流密度の温度特性図である。

【図3】

上部電極の形成において、各材料における結晶化に必要な温度及び堆積温度を示した概略図である。

【図4】

第1の実施形態の超伝導回路におけるSFQ回路の接合部及びラッチドライバー回路の接合部の構成を示した斜視図である。

【図5】

第2の実施形態の超伝導回路におけるSFQ回路の接合部及びラッチドライバー回路の接合部の構成を示した斜視図である。

【図6】

第3の実施形態の超伝導回路におけるSFQ回路の接合部の構成を示した斜視図である。

【図 7】

第 4 の実施形態の超伝導回路における S F Q 回路の接合部の構成を示した断面図である。

【図 8】

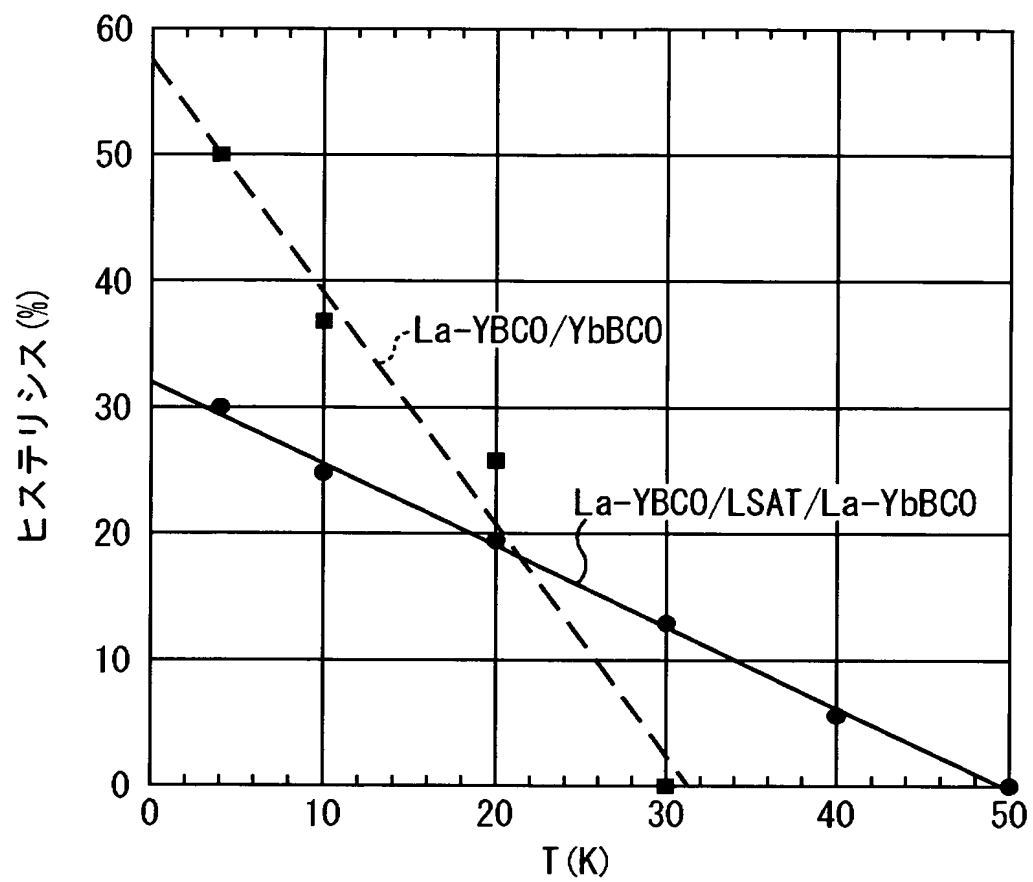
第 5 の実施形態の超伝導回路を示した断面図である。

【符号の説明】

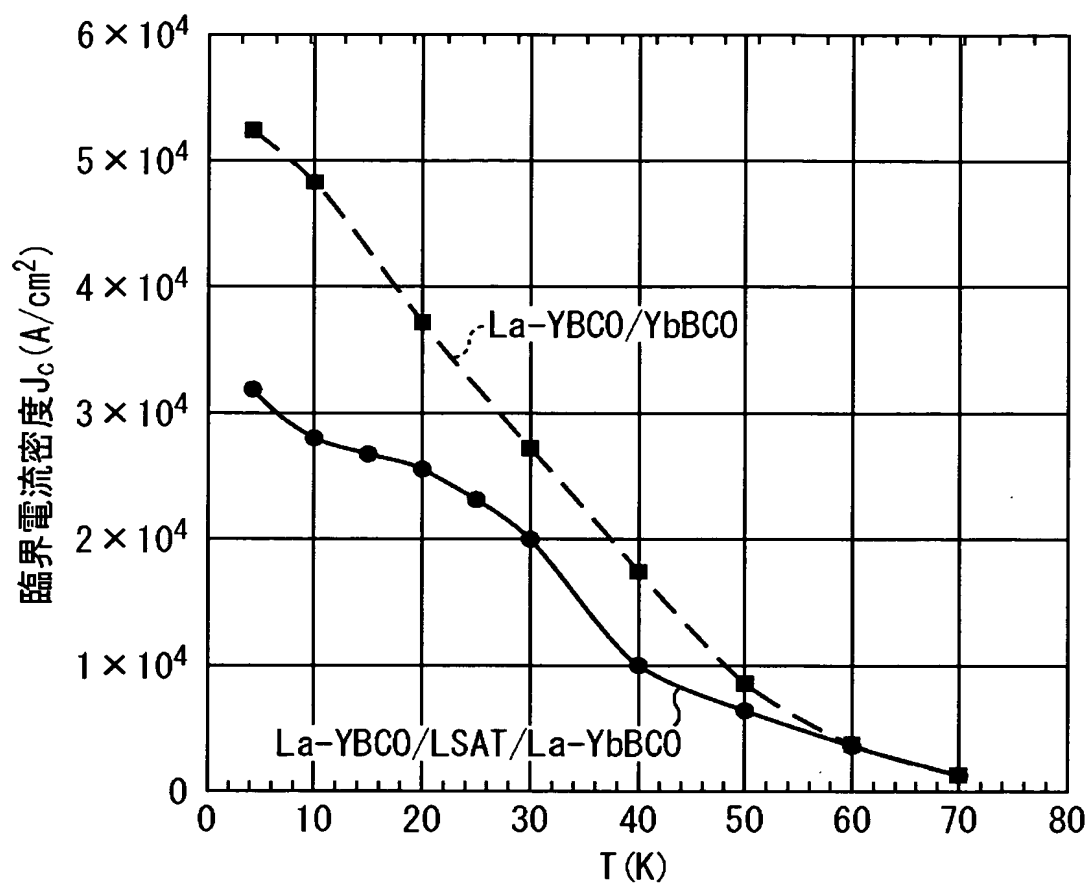
- 1、11 MgO 基板
- 2 グランドプレーン (La がドープされた YBaCuO)
- 3 絶縁層 (PrBaCuO)
- 4、12 下部電極 (La がドープされた YBaCuO)
- 5、13、25 絶縁層 (SrSnO)
- 6 上部電極 (YbBaCuO)
- 7、17 ジョセフソン接合
- 8 グランドプレーン (YBaCuO)
- 9 超伝導ハンダバンプ
- 10 抵抗体 (Au+Ti)
- 14 アモルファス LaSrAlTaO (LSAT) 層
- 15、26 上部電極 (La がドープされた YbBaCuO)
- 16 Au 配線
- 18 超伝導配線
- 19 超伝導ハンダバンプ
- 22 グランドプレーン (YbBaCuO)

【書類名】 図面

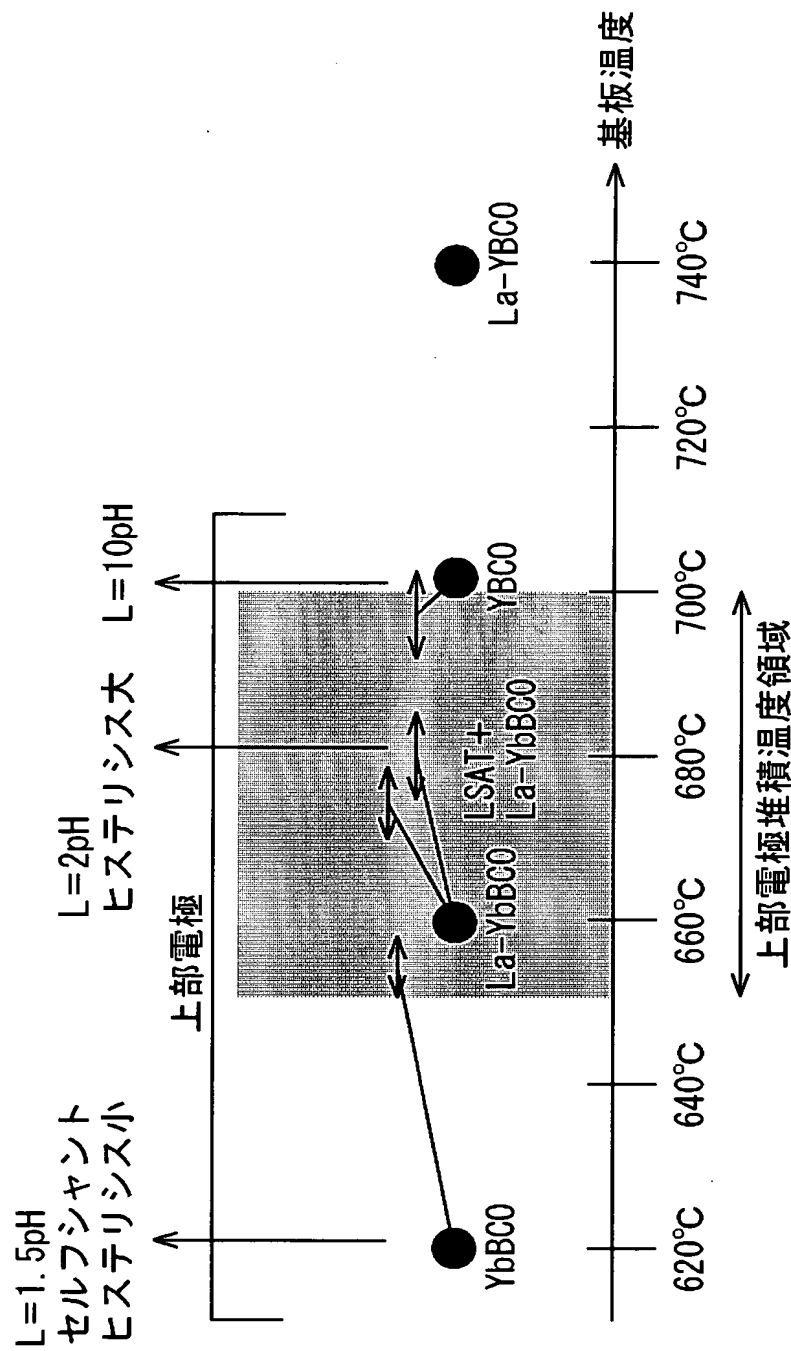
【図 1】



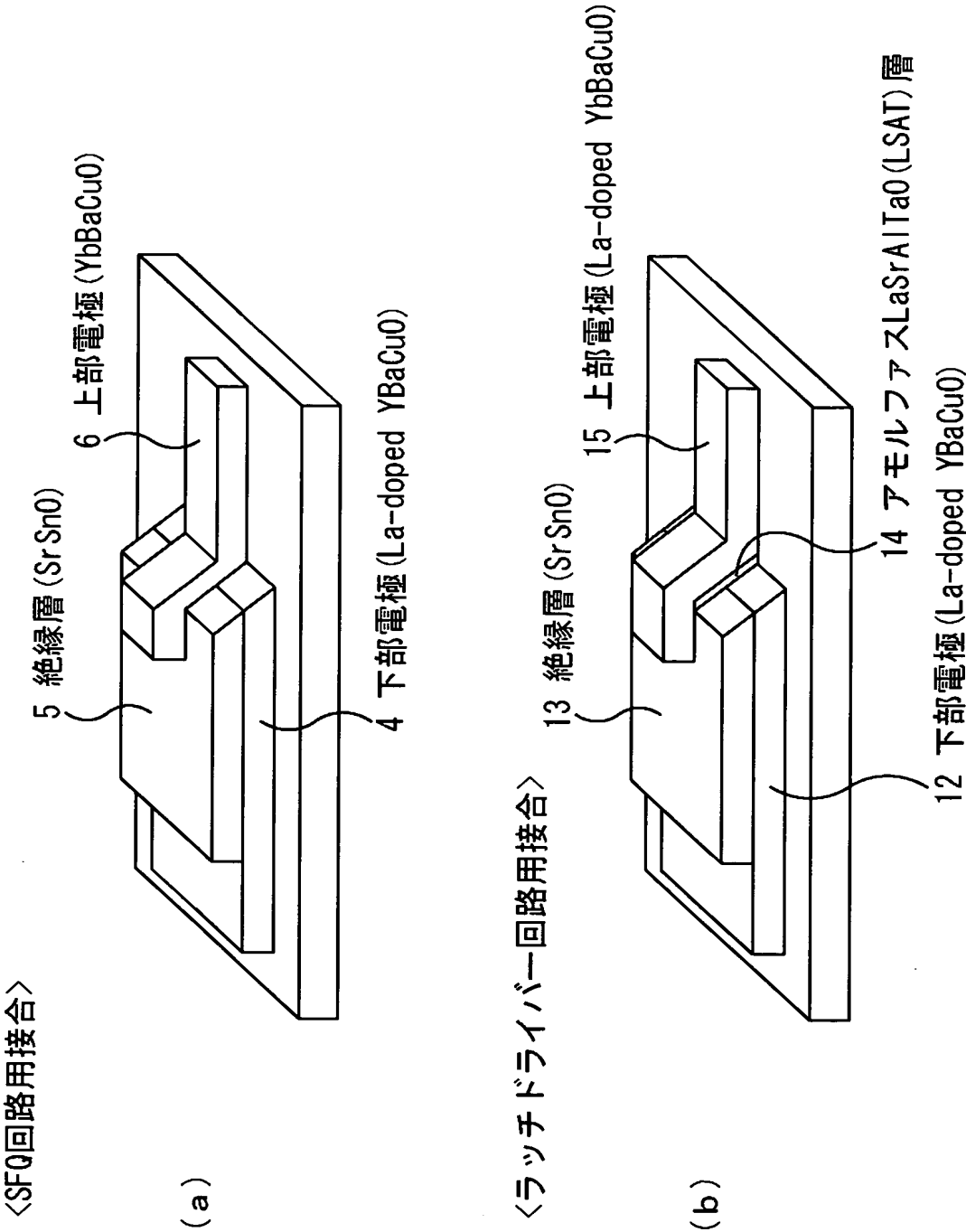
【図 2】



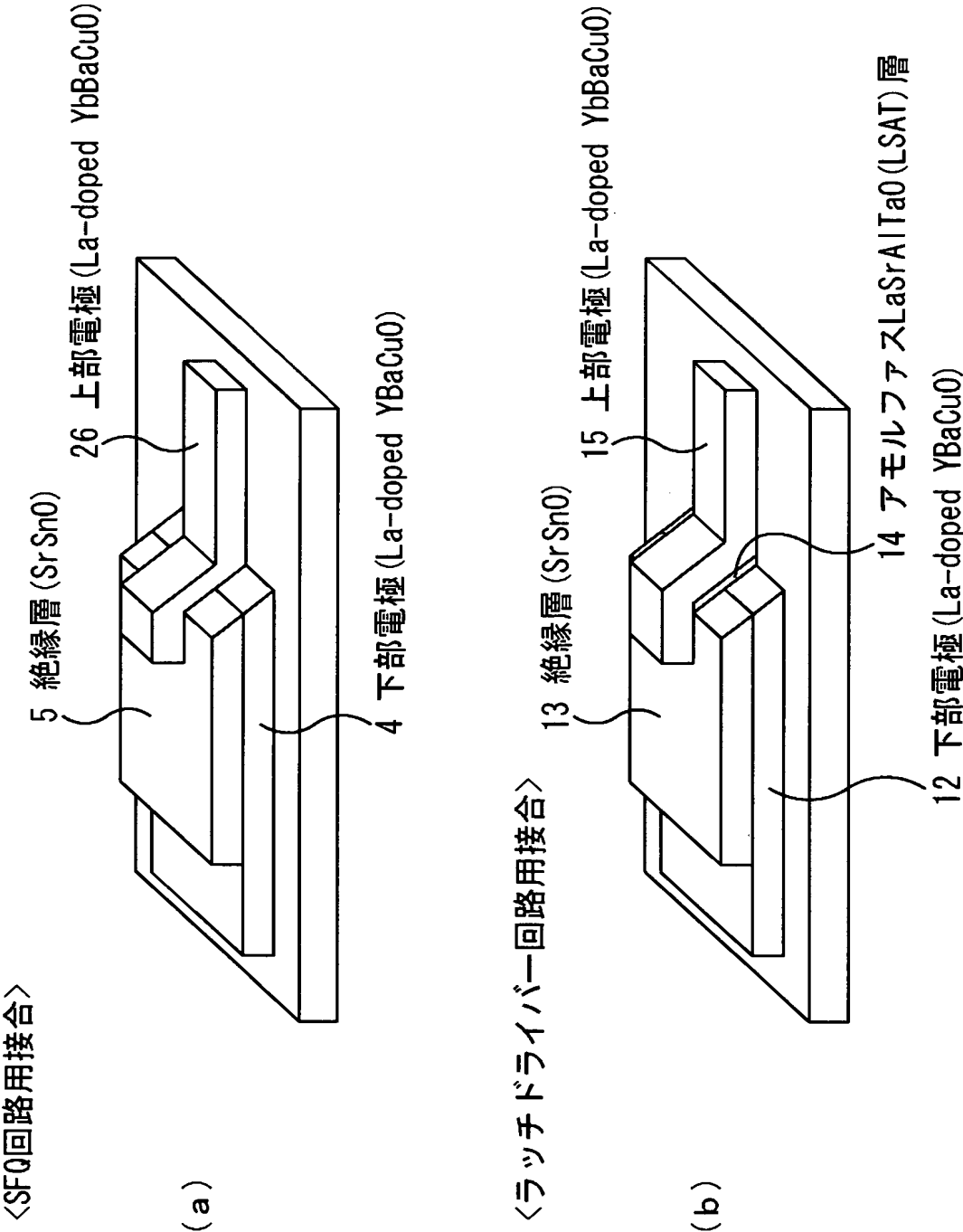
【図 3】



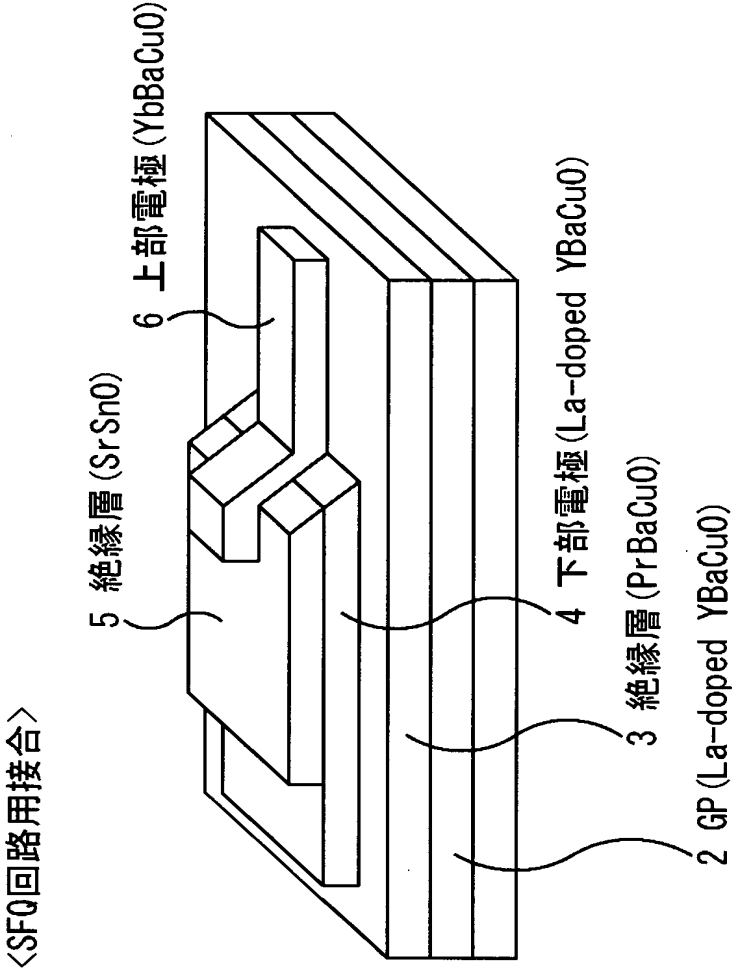
【図 4】



【図 5】

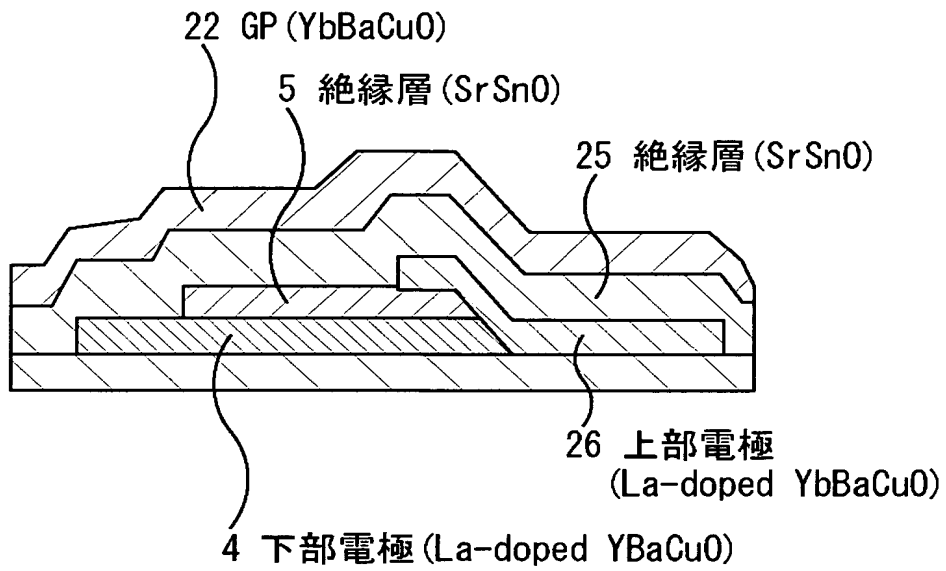


【図 6】

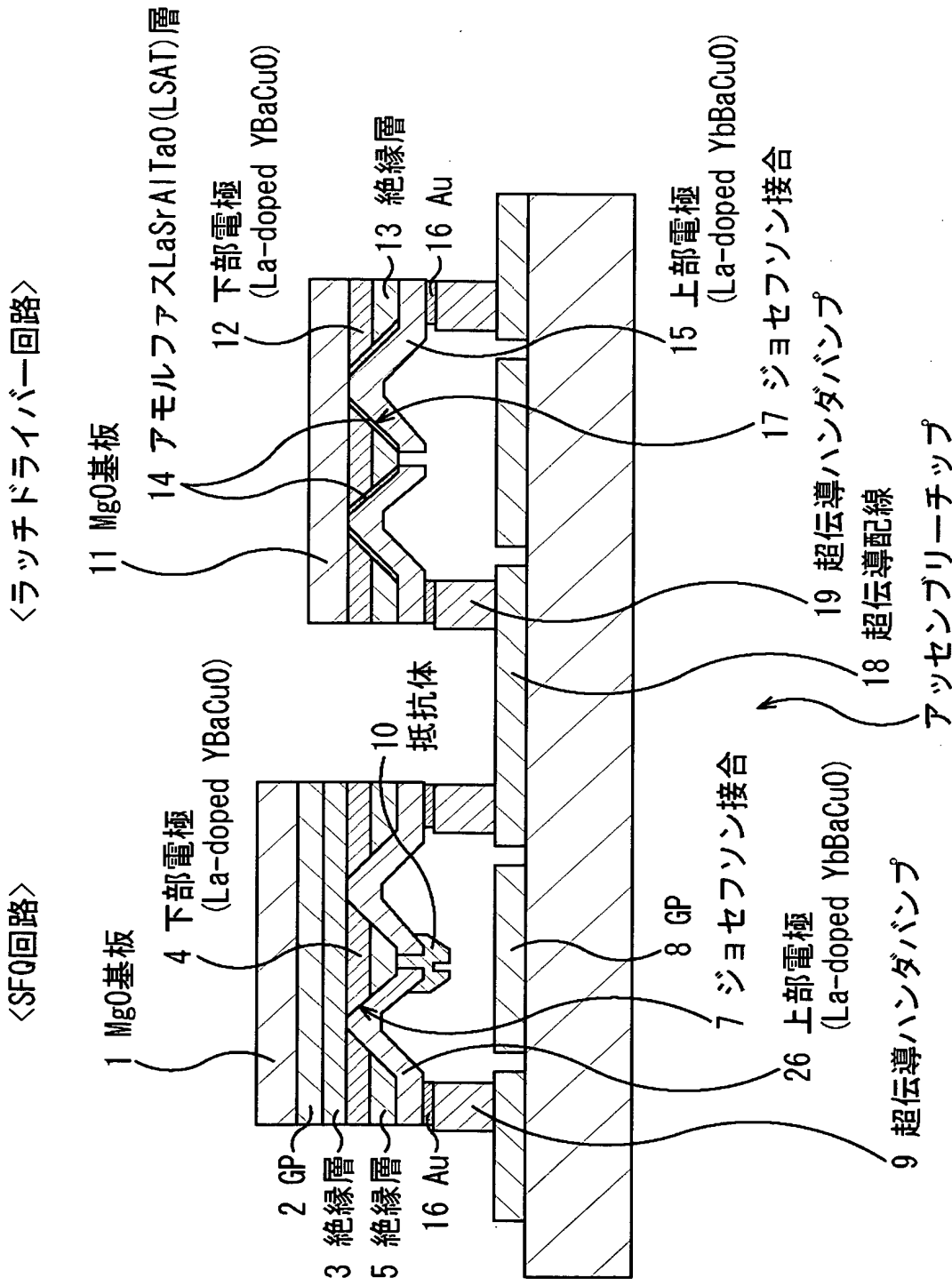


【図 7】

<SFQ回路用接合>



【図 8】



【書類名】 要約書

【要約】

【課題】 高温超伝導体を用いた磁束量子回路とインターフェース回路とを備える超伝導回路の動作において、それぞれの回路が高性能で動作することができるようにする。

【解決手段】 磁束量子回路（S F Q回路）における第1のジョセフソン接合7と、インターフェース回路（ラッチドライバ回路）における第2のジョセフソン接合17とを異なる接合材料で構成し、さらに、第1のジョセフソン接合7における電流電圧特性のヒステリシスが第2のジョセフソン接合17における電流電圧特性のヒステリシスよりも小さくなる接合材料を選定する。

【選択図】 図8

特願 2 0 0 3 - 0 9 2 5 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社

特願 2 0 0 3 - 0 9 2 5 4 5

出 願 人 履 歴 情 報

識別番号

[3 9 1 0 0 4 4 8 1]

1. 変更年月日

1 9 9 0 年 1 2 月 2 1 日

[変更理由]

新規登録

住 所

東京都港区新橋 5 丁目 3 4 番 3 号 栄進開発ビル 6 階

氏 名

財団法人国際超電導産業技術研究センター